

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000008815 A
(43)Date of publication of application: 15.02.2000(21)Application number: 1019980028838
(22)Date of filing: 16.07.1998(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, SEONG JE
KIM, YEONG GWAN
LEE, JONG HO
LEE, SANG MIN

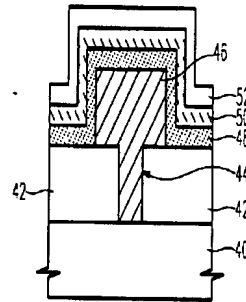
(51)Int. Cl. H01L 29/92

(54) CAPACITOR OF SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A capacitor of a semiconductor device is provided to prevent the leakage current characteristic of a dielectric film from being worse, and to improve the breakdown voltage characteristic.

CONSTITUTION: The capacitor of a semiconductor comprises a dielectric film between first and second conducting layers. The dielectric film is a multi dielectric film consisting of different types of dielectric films. A second multi dielectric film is provided between the multi dielectric film and the second conducting layer. The multi dielectric film comprises a first dielectric film formed on the first conducting layer and a second dielectric film formed on the second dielectric film. The first and second dielectric films are one of a Pool Frankel type of dielectric and a Fowler Nordheim type of dielectric, respectively. The Pool Frankel type of dielectric is any one selected from SiO₂, Si₃N₄, and SiON. The Fowler Nordheim type is any one selected from Al₂O₃, AlN, TiO₂, ZrO₂, HfO₂, Ta₂O₅, Pb₂O₅, PbTiO₃, PZT, BST, SrTiO₃, CeO₂, Y₂O₃, MgO, and SrO.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20030429)

Notification date of refusal decision (00000000)

Final disposal of an application (application)

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0008815
H01L 29/92 (43) 공개일자 2000년02월 15일

(21) 출원번호	10-1998-0028838
(22) 출원일자	1998년07월 16일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 최성제 서울특별시 강남구 대치동 미도아파트 108동 202호 김영관 경기도 성남시 분당구 서현동 87번지 한신아파트 112동 1501호 이중호 경기도 군포시 산본동 극동아파트 966동 604호 이상민 서울특별시 강남구 신사동 524-28번지 권석홍, 이영필, 정상빈
(74) 대리인	권석홍, 이영필, 정상빈

청구범위 : 없음

(54) 반도체장치의 커패시터 및 그 제조방법

요약

반도체 장치의 커패시터 및 그 제조방법에 관해 개시되어 있다. 본 발명은 커패시터의 상, 하부 전극 사이에 상보성이 있는 서로 다른 타입의 유전막, 예컨대 PF타입 및 FN타입의 유전막이 함께 구비되어 있는 커패시터를 개시한다. 서로 다른 타입의 유전막이 구비됨으로써 커패시터의 전체적인 유전막은 상호 보완적인 전기적 특성을 보여 상기 각 타입의 유전막이 단독으로 사용될 때 보다 커패시터의 유전막 특성이 개선되며 커패시터가 요구하는 누설전류 및 브레이크 다운 전압 특성을 만족하는 조건하에서 가장 큰 정전용량을 나타낸다.

도표도

도1

발명서

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 반도체 장치의 커패시터의 단면도이다.

도 2 내지 도 5는 본 발명의 실시예에 의한 반도체 장치의 커패시터 및 그 제조방법을 단계별로 나타낸 도면들이다.

도 6의 (A)도 및 (B)도와 (C)도는 종래 기술 및 본 발명의 실시예에 의한 반도체 장치의 커패시터 제조방법에 따라 형성된 커패시터의 전류(I)-전압(V) 특성을 나타낸 그래프도이다.

도면의 주요 부분에 대한 부호설명

40:기판, 42:충간절연막,
44:콘택홀, 46:제1 도전층 패턴,
48, 50:제1 및 제2 유전막, 52:제2 도전층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 자세하게는 반도체 장치의 커패시터 및 그 제조방법에 관한 것이다.

반도체 장치의 고집적화 되면서 반도체 기판에 단위 반도체 소자가 형성되는 영역이 작아진다. 더 높은 집적도의 반도체 장치를 양산하기 위해선 더욱 좁은 영역에 트랜지스터와 커패시터와 같은 기본 반도체 소자들을 형성할 수 있어야 한다.

한편, 반도체 장치의 구동을 위해 반도체 커패시터는 어느 정도의 정전 용량을 갖고 있어야 한다. 예를 들면, 일반적인 DRAM 메모리 장치에 있어서, 셀 커패시터는 약 25페르미 패라데이(fF) 정도의 정전용량이 요구된다.

커패시터의 정전용량을 증가시키기 위한 조건은 첫째, 상부 및 하부전극의 마주하는 면적을 넓게 하고 둘째, 상기 상부 및 하부 전극 사이의 간격을 좁게 하며 셋째, 상기 두 전극 사이에 높은 유전율을 갖는 유전막을 삽입한다.

그런데, 반도체 장치의 고집적화는 커패시터 전극의 기하학적 면적을 감소시킨다. 따라서, 커패시터의 정전용량이 감소된다. 고집적화에 따라 전극사이의 간격이 좁아져서 커패시터의 정전용량의 증가될 수 있으나 이는 양 전극 사이의 누설전류 증가를 동반하므로 실익이 없다. 이에 따라 커패시터의 정전용량을 증가시키기 위해 고 유전율을 갖는 유전막에 대한 관심이 높아지고 있다.

이에 따라 기존의 대표적인 유전막인 실리콘 산화막(SiO_2)에서 ONO(Oxide-Nitride-Oxide)막, NO막이나 오산화 이탄탈륨막(Ta_2O_5) 등으로 커패시터 유전막의 중심이 옮겨지고 있다. 더불어, 그에 대한 관심도 고조되고 있다.

고 유전율을 갖는 새로운 유전막이 사용되면서 커패시터 전극에 대한 관심도 고조된다. 실리콘 산화막을 유전막으로 사용할 때 폴리실리콘층을 커패시터의 전극으로 사용하는데 별 어려움이 없으나, 새로운 유전막이 사용되면서 그에 맞는 전극이 필요하게 되었다. 예를들면, 오산화 이탄탈륨이 유전막으로 사용되는 경우, 노블 금속(novel metal)이 전극으로 유망하다. 그런데, 이러한 전극 물질들을 현재의 반도체 제조공정과 접목시키는 과정에서 많은 어려움이 직면하게 된다. 따라서, 폴리실리콘층을 그대로 전극으로 사용하면서 고 유전율의 유전막을 사용할 수 있는 방법이 필요하게 되었다.

이러한 필요성에 의해 종래 기술은 알루미늄 산화막(예컨대, Al_2O_3)을 유전막으로 사용하는 커패시터 제조방법을 제안한 바 있다. 알루미늄 산화막은 전극 물질인 폴리실리콘층 사이에 실리콘 산화막을 형성하지 않고, 유전상수가 약 8.5~10.5 정도로 기존의 실리콘 산화막이나 NO막 보다 높다. 또한, 알루미늄 산화막의 전도 메커니즘(conduction mechanism)은 파울러 노드 하임(Fowler Nordheim, 이하, FNO이라함) 터널링에 의해 전자의 전도가 이루어지는 것으로 알려져 있다.

이와 같은 종래 기술에 의한 커패시터 제조방법에 다음과 같은 문제점이 있다.

우선, 반도체 장치의 안정된 동작을 위해 상기한 바와 같이, 셀 정전용량은 25fF이상이 되어야 한다. 또한, 누설전류는 동작전압에서 셀 당 1fA이하가 되어야 한다. 아울러, 장시간 동안 반도체 장치의 안정된 동작을 위해 셀당 10피코 암페어(pA)가 되는 전압 즉, 브레이크 다운 전압(Breakdown voltage)이 일반적으로 3V이상이 되어야 한다. 하지만, FNO터널의 전도를 일으키는 유전막은 비록 누설전류 특성은 우수하나 브레이크 다운 전압을 3V이상으로 유지하기 위해 박막의 두께가 두꺼워야 한다. 따라서, 커패시터의 커패시턴스가 작아진다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 해소하기 위한 것으로, 유전막의 누설전류 특성이 저하되는 것을 방지하고 아울러 정전용량의 감소도 없게 하고 브레이크 다운 전압 특성도 개선할 수 있는 반도체 장치의 커패시터를 제공함에 있다.

본 발명이 이루고자하는 다른 기술적 과제는 상기 반도체 장치의 커패시터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명은 제1 및 제2 도전층 패턴 사이에 유전막이 구비되어 있는 반도체 장치의 커패시터에 있어서,

상기 유전막은 서로 다른 타입의 유전막들로 구성된 다중 유전막인 것을 특징으로 하는 반도체 장치의 커패시터를 제공한다.

여기서, 상기 다중 유전막과 상기 제2 도전층 패턴 사이에 제2의 다중 유전막이 더 구비되어 있다.

상기 다중 유전막은 상기 제1 도전층 상에 형성된 제1 유전막과 상기 제1 유전막 상에 형성된 제2 유전막인 것을 특징으로 하는 반도체 장치의 커패시터.

상기 제1 유전막 및 제2 유전막은 각각 PF(Pool Frankel) 타입 및 FN 타입 유전막이다. 여기서, 상기 PF 타입 제1 유전막은 SiO_2 , Si_3N_4 및 SiON 으로 이루어진 군중 선택된 어느 하나를 포함하는 Si계열의 유전막이다.

그리고 상기 FN타입 제2 유전막은 Al_2O_3 , AlN , TiO_2 , ZrO_2 , HfO_2 , Ta_2O_5 , PbO , Nb_2O_5 , PbTiO_3 , PZT , BST , SrTiO_3 , CeO_2 , Y_2O_3 , MgO 및 SrO 로 이루어진 군중 선택된 어느 하나이다.

상기 제1 및 제2 도전층 패턴은 각각 폴리실리콘층(poly-Si), 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화물층(IrO_2), 루테튬 산화물층(RuO_2), SrRuO_3 층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나이다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 의한 반도체 장치의 커패시터 제조방법은 다음과 같은 절차에 따라 진행된다.

(a) 기판 상에 층간 절연막을 형성한다. (b) 상기 층간 절연막에 상기 기판을 노출되는 콘택홀을 형성한다. (c) 상기 층간 절연막 상에 상기 콘택홀을 통해 상기 기판과 접촉되는 제1 도전층 패턴을 형성한다. (d) 상기 제1 도전층 패턴의 전면에 제1 유전막을 형성한다. (e) 상기 제1 유전막 상에 상기 제1 유전막과 유전적 성질이 다른 제2 유전막을 형성한다. (f) 상기 제2 유전막이 형성된 결과물을 어닐(anneal)한다. (g) 상기 제2 유전막 상에 제2 도전층 패턴을 형성한다.

이 과정에서 상기 (d) 공정과 상기 (e)공정의 순서를 서로 바꿔서 실시해도 무방하다. 즉, 상기 제1 도전층 패턴의 전면에 상기 제2 유전막을 형성한 다음, 상기 제2 유전막 상에 상기 제1 유전막을 형성해도 무방하다.

또한, 상기 제2 유전막 상에 유전적 성질이 서로 다른 제3 및 제4의 유전막을 더 형성해도 무방하다.

상기 제1 유전막은 PFT입 유전막으로 형성하는 것이 바람직하고, 상기 제2 유전막은 FNT입 유전막으로 형성하는 것이 바람직하다. 상기 제1 유전막은 화학 기상증착(Chemical Vapor Deposition, 이하, CVD라 함)방식으로 형성하며, 상기 제2 유전막은 원자층 적층(Atomic Layer Deposition, 이하, ALD라 함)방식으로 형성하는 것이 바람직하다.

상기 제3의 유전막은 상기 제1 유전막과 동일한 유전막으로 형성하고, 상기 제4의 유전막은 상기 제2 유전막으로 형성하는 것이 바람직하다.

상기 어닐은 산소(O₂)분위기하에서 실시한다. 또한, 상기 어닐은 N₂O, O₂, O₃, H₂O, H₂O₂ 및 이들이 혼합된 가스로 이루어진 일군중 선택된 어느 하나로 형성하는 것이 바람직하다.

본 발명에 의한 커패시터 및 그 제조방법에선 상, 하부 전극 사이에 유전적 성질이 서로 다른, 예컨대 PT 타입 및 FNT입의 유전막을 순차적으로 적층한다. 상기 각 타입의 유전막은 서로에 대해 상보적 성질을 갖고 있다. 따라서 유전막 전체로 볼 때는 상기 유전막은 누설전류 특성이 우수하면서 박막이 얇고 그러면서도 브레이크 다운 전압이 3V이상으로 높아지는 특성을 나타낸다.

이하, 본 발명의 실시예에 의한 반도체 장치의 커패시터 및 그 제조법을 첨부된 도면들을 참조하여 상세하게 설명한다.

그러나 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 "상부"에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고 그 사이에 제3의 층이 개재되어 질 수도 있다.

첨부된 도면들 중, 도 1은 본 발명의 실시예에 의한 반도체 장치의 커패시터의 단면도이다.

도 2 내지 도 5는 본 발명의 실시예에 의한 반도체 장치의 커패시터 및 그 제조방법을 단계별로 나타낸 도면들이다.

도 6의 (A)도 및 (B)도와 (C)도는 종래 기술 및 본 발명의 실시예에 의한 반도체 장치의 커패시터 제조방법에 따라 형성된 커패시터의 전류(I)-전압(V) 특성을 나타낸 그래프도이다.

도 1을 참조하면, 본 발명에 의한 커패시터는 기판(40) 상에 층간절연막(42)이 구비되어 있다. 상기 층간절연막(42)에 상기 기판(40)의 계면이 노출되는 콘택홀(44)이 형성되어 있다. 상기 층간절연막(42) 상에 상기 콘택홀(44)을 통해서 상기 기판(40)과 접촉되는 제1 도전층 패턴(46)이 구비되어 있다. 상기 제1 도전층 패턴(46)은 폴리 실리콘층이 무난하나, 이외에도 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화막층(IrO₂), 루테튬 산화막층(RuO₂), SrRuO₃층, CaRuO₃층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나라도 무방하다.

상기 층간절연막(42) 상에 상기 제1 도전층 패턴(46)의 전면을 덮는 제1 유전막(48)이 형성되어 있고, 상기 제1 유전막(48) 상에 제2 유전막(50)이 형성되어 있다. 그리고, 상기 제2 유전막(50) 상에 제2 도전층 패턴(52)이 형성되어 있다.

상기 제1 유전막(48) 및 제2 유전막(50)은 각각 PT 타입 및 FN 타입 유전막인 것이 바람직하다. 상기 PT 타입 제1 유전막은 SiO₂, Si₃N₄ 및 SiON으로 이루어진 군중 선택된 어느 하나를 포함하는 SiN계열의 유전막이다. 그리고 상기 FNT입 제2 유전막은 Al₂O₃, AlN, TiO₂, ZrO₂, HfO₂, Ta₂O₅, PbO, Nb₂O₅, PbTiO₃, PZT, BST, SrTiO₃, CeO₂, Y₂O₃, MgO 및 SrO로 이루어진 군중 선택된 어느 하나이다.

상기 제2 도전층 패턴(52)은 폴리 실리콘층(poly-Si), 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화막층(IrO₂), 루테튬 산화막층(RuO₂), SrRuO₃층, CaRuO₃층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나이다. 상기 제1 및 제2 도전층 패턴(46, 52)은 각각 하부전극 및 상부전극이다. 도면에 도시하지는 않았지만, 상기 제1 및 제2 도전층 패턴(46, 52) 사이에 상기 제1 및 제2 유전막(48, 50)위에 제3 및 제4의 유전막이 더 구비되어 있을 수 있다. 곧, 상기 제2 유전막(50) 상에 제3 및 제4 유전막이 순차적으로 형성되어 있을 수 있다. 이때, 상기 제3 유전막은 상기 PFT입 유전막이고, 상기 제4 유전막은 상기 FNT입 유전막이다.

이와 같이, 본 발명은 상부 및 하부 전극 사이에 유전막 특성이 서로 다른 유전막으로 구성된 다중 유전막이 적층된 커패시터를 제공한다. 상기 상부 및 하부전극 사이에 있는 다중 유전막들은 서로 상보적인 관계에 있다. 따라서, 유전막 전체로 볼 때, 유전막의 특성, 예컨대 누설전류 특성이나 브레이크 다운 전

압 특성 등이 모두 개선된다.

다음에는 이와 같은 커패시터를 제조하는 방법을 설명한다.

도 2를 참조하면, 기판(40) 상에 중간절연막(42)을 형성한다. 사진 식각 공정으로 상기 중간 절연막(42)에 상기 기판(40)의 소정영역이 노출되는 콘택홀(44)을 형성한다.

도 3을 참조하면, 상기 중간 절연막(42) 상에 상기 콘택홀(44)을 채우는 제1 도전층(미도시)을 형성한다. 상기 제1 도전층 상에 감광막(미도시)을 도포한 다음, 패터닝하여 상기 콘택홀(44)을 중심으로 그 둘레의 소정영역의 제1 도전층을 덮는 감광막 패턴(미도시)을 형성한다. 상기 감광막 패턴을 식각 마스크로 사용하여 상기 제1 도전층의 노출된 부분을 이방성식각한다. 상기 이방성식각은 상기 중간 절연막(42)이 노출될 때 까지 실시한다. 이어서, 상기 감광막 패턴을 제거하면, 상기 콘택홀(44)을 통해 상기 콘택홀(44) 둘레의 상기 중간절연막(42) 상에 제1 도전층 패턴(46)이 형성된다. 상기 제1 도전층 패턴(46)은 폴리 실리콘(poly-Si)으로 형성하는 것이 바람직하나, 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화물층(IrO₂), 루테튬 산화물층(RuO₂), SrRuO₃층, CaRuO₃층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나로 형성한다.

도 4를 참조하면, 상기 중간 절연막(42) 상에 상기 제1 도전층 패턴(46)의 전면을 덮는 제1 유전막(48)을 형성한다. 이에 앞서, 상기 제1 도전층 패턴(46)의 표면에 형성된 자연 산화막(native oxide)을 제거한다. 상기 제1 유전막(48)은 PT 타입유전막으로 형성하는 것이 바람직하다. 예를 들면, SiN계열의 유전막으로 형성하는 것이 바람직하다. 따라서, 상기 제1 유전막(48)은 SiO₂, Si₃N₄ 및 SiON으로 이루어진 군중 선택된 어느 하나로 형성할 수도 있다. 상기 제1 유전막(48)은 화학 기상 증착(Chemical Vapor Deposition)방식으로 형성하되, 10Å 정도의 두께로 형성한다.

계속해서, 상기 제1 유전막(48) 상에 상기 제1 유전막(48)과 유전막 특성이 상이한 제2 유전막(50)을 형성한다. 상기 제2 유전막(50)은 FNE타입 유전막, 예컨대 Al₂O₃막으로 형성한다. 상기 제2 유전막(50)은 상기 Al₂O₃막 외에 AlN, TiO₂, ZrO₂, HfO₂, Ta₂O₅, PbO, Nb₂O₅, PbTiO₃, PZT, BST, SrTiO₃, CeO₂, Y₂O₃, MgO 및 SrO로 이루어진 군중 선택된 어느 하나로도 형성할 수도 있다. 상기 제2 유전막(50)은 원자를 적층(Atomic Layer Deposition)방식으로 형성한다.

PFE타입의 유전막의 전도 특성을 보이는 물질은 박막화될 경우, 전기적으로 매우 불안정해진다. 따라서, 보다 나은 전기적 특성을 위해 상기 제2 유전막(50)이 형성된 결과물을 어닐한다. 상기 어닐은 산소분위기에서 실시한다. 상기 어닐은 산소외에 N₂O, O₃, H₂O, H₂O₂ 및 이들의 혼합가스로 이루어진 군중 선택된 어느 하나의 분위기하에서 실시할 수도 있다.

계속해서, 도 5에 도시한 바와 같이, 상기 제2 유전막(50) 상에 제2 도전층(52)을 형성한다. 상기 제2 도전층(52)은 상부전극으로서 폴리 실리콘층(poly-Si)으로 형성하는 것이 바람직하나, 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화물층(IrO₂), 루테튬 산화물층(RuO₂), SrRuO₃층, CaRuO₃층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나로 형성할 수도 있다.

다음에는 본 발명의 실시예에 따라 제조된 커패시터의 효과를 설명하기 위해 실시한 실험예를 설명한다.

먼저, 본 발명은 상기 제1 도전층 패턴(46)의 표면으로부터 자연산화막을 제거하였다. 이어서, 상기 제1 도전층 패턴(46) 상에 SiN계열의 유전막으로 제1 유전막(48)을 CVD방식을 이용하여 10Å 정도의 두께로 형성하였다. 이어서, 상기 제1 유전막(48) 상에 FNE타입 유전막중의 하나인 Al₂O₃막을 ALD방식을 이용하여 50Å 정도의 두께로 형성하였다. 이후, 상기 결과물을 산소분위기하에서 800°C로 30분 동안 어닐하였다. 상기 어닐후, 상기 제2 유전막(50) 상에 상부전극으로서 상기 제2 도전층(52)을 형성하였다.

이러한 본 발명과 비교할 첫 번째 대상은 다음과 같이 형성하였다.

구체적으로, 상기 제1 도전층 패턴(46) 상에 PFE타입 유전막, 예컨대 SiN막을 53Å 정도의 두께로 형성하였다. 그리고 그 결과물을 830°C에서 30분동안 산소분위기에서 어닐하였다.

본 발명과 비교할 두 번째 대상은 상기 제1 도전층 패턴(46) 상에 FNE타입 유전막인 Al₂O₃막만을 65Å 정도의 두께로 형성하였다.

도 6을 참조하면, (A)도는 상기 두 번째 대상에 대한 전류-전압 특성 그래프도이고, (B)도는 상기 첫 번째 대상에 대한 전류-전압 특성 그래프도이며, (C)도는 본 발명의 실험예에 의한 커패시터의 전류-전압 특성 그래프도이다.

도 6의 (A)도 내지 (C)도를 참조하면, 상기 본 발명의 누설전류 개시 전압(V1)이 첫 번째 및 두 번째 대상의 누설 전류 개시전압(V1)보다 오히려 낮은 것을 알 수 있다. 이는 일정치 이상의 누설전류가 개시되는 전압이 본 발명에서 더 낮은 것을 나타낸다.

또한 전류값이 10pA/셀 이상이 되는 브레이크 다운이 일어나는 전압(V2)은 상기 첫 번째 대상이 가장 높고, 그 다음이 본 발명이며, 상기 두 번째 대상이 가장 낮다. 하지만, 본 발명의 경우, 누설전류 개시 전압과 브레이크 다운 개시 전압사이의 간격이 상기 두 번째 대상에 비해 상당히 넓음을 알 수 있다. 따라서, 반도체 장치가 안정되게 동작될 수 있다.

반면, 상기 첫 번째 대상(도 6 참조)은 브레이크 다운 개시 전압은 매우 높아서 반도체 장치의 안정된 동작을 보장되나, 본 발명에 비해 누설전류 개시 전압이 매우 낮다. 또한, 상기 두 번째 대상(도 6 참조)은 누설전류 개시 전압이 본 발명에 비해 매우 낮고, 브레이크 다운 개시 전압도 낮다.

이와 같이, 커패시터의 유전막으로 PFE타입 유전막과 FNE타입 유전막으로 구성되는 이중 유전막을 사용하는 경우, 누설전류 특성 및 브레이크 다운 특성 모두에서 양호한 결과를 보인다.

이러한 결과는 아래의 표 1에 요약되어 있다.

[표 1]

	본 발명 (Al ₂ O ₃ /SiN)	첫 번째 대상 (SiN 및 어닐)	두 번째 대상 (Al ₂ O ₃)
capacitance (fF/ μm^2)	8.85	7.19	9.98
tan δ	0.002	0.001	0.002
Cmin/Cmax	99.7	99.5	99.6
voltage 100nA/cm ²	1.8V	2.1V	1.75V
8V 1mA/cm ²	4V	4.7V	2.5V

표 1을 참조하면, 커패시턴스 값은 본 발명이 8.85fF로서 상기 첫 번째 및 두 번째 대상의 커패시턴스 값 사이에 있다. 커패시턴스 최저값과 최대값의 비(Cmin/Cmax)는 본 발명이 99.7로서 상기 두 대상에 비해 높다. 이는 본 발명의 커패시터가 상기 두 대상의 것보다 신뢰성이 높다는 것을 의미한다. 다음에는 누설 전류 개시 전압이 본 발명에서는 1.8V인 반면, 상기 첫 번째 및 두 번째 대상에서는 각각 2.1V 및 1.75V로서 본 발명은 상기 두 대상의 중간 정도이다. 브레이크 다른 개시 전압은 본 발명이 4V정도인데 반해 상기 첫 번째 및 두 번째 대상은 각각 4.7V 및 2.5V이다.

커패시턴스를 함께 고려하면, 본 발명에서 개시하고 있는 것 처럼 FN타입과 PF타입 유전막을 함께 사용하는 것이 상기 각 타입의 유전막을 개별적으로 사용하는데 비해 우수한 특성을 나타낼 수 있다. 즉, 반도체 장치의 커패시터가 요구하는 특성을 예컨대, 누설전류 및 브레이크 다른 전압 특성을 만족시키는 조건하에서 가장 큰 커패시턴스를 얻을 수 있다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기 보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기한 제1 및 제2 유전막의 형성순서나 상기 각 유전막을 구성하는 물질을 변형하여 본 발명을 실시할 수 있음이 명백하다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 효과

본 발명의 커패시터는 상, 하부 전극 사이에 상보성이 있는 서로 다른 타입의 유전막, 예컨대 PF타입 및 FN타입의 유전막으로 구성된 다중 유전막이 구비되어 있다. 따라서, 전체적인 유전막은 상호 보완적인 전기적 특성을 보여 상기 각 타입의 유전막이 단독으로 사용할 때 보다 커패시터의 유전막 특성이 개선되며 커패시터가 요구하는 누설전류 및 브레이크 다른 전압 특성을 만족하는 조건하에서 가장 큰 정전용량을 나타낸다.

(57) 청구의 범위

청구항 1. 제1 및 제2 도전층 패턴 사이에 유전막이 구비되어 있는 반도체 장치의 커패시터에 있어서, 상기 유전막은 서로 다른 타입의 유전막들로 구성된 다중 유전막인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 2. 제 1 항에 있어서, 상기 다중 유전막과 상기 제2 도전층 패턴 사이에 제2의 다중 유전막이 더 구비되어 있는 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 3. 제 1 항에 있어서, 상기 다중 유전막은 상기 제1 도전층 상에 형성된 제1 유전막과 상기 제1 유전막 상에 형성된 제2 유전막인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 4. 제 3 항에 있어서, 상기 제1 유전막 및 제2 유전막은 각각 PF(Pool Frankel) 타입 및 FN(Fowler Nordheim) 타입 유전막인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 5. 제 3 항에 있어서, 상기 제1 유전막은 SiO₂, Si₃N₄ 및 SiON으로 이루어진 군중 선택된 어느 하나를 포함하는 SiN계열의 유전막인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 6. 제 3 항에 있어서, 상기 제2 유전막은 Al₂O₃, AlN, TiO₂, ZrO₂, HfO₂, Ta₂O₅, PbO, Nb₂O₅, PbTiO₃, PZT, BST, SrTiO₃, CaO₂, Y₂O₃, MgO 및 SrO로 이루어진 군중 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 7. 제 1 항에 있어서, 상기 제1 및 제2 도전층 패턴은 각각 폴리실리콘층(poly-Si), 티타늄 나이트라이드층(TiN), 텅스텐 나이트라이드층(WN), 탄탈륨 나이트라이드층(TaN), 백금층(Pt), 이리듐 산화막층(IrO₂), 루테튬 산화막층(RuO₂), SrRuO₃층, CaRuO₃층, 알루미늄층(Al), 몰리브덴층(Mo), 구리층(Cu) 및 은층(Ag)으로 이루어진 군중 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 커패시터.

청구항 8. (a) 기판 상에 층간 절연막을 형성하는 단계;

(b) 상기 층간 절연막에 상기 기판을 노출되는 콘택홀을 형성하는 단계;

(c) 상기 층간 절연막 상에 상기 콘택홀을 통해 상기 기판과 접촉되는 제1 도전층 패턴을 형성하는 단계;

- (d) 상기 제1 도전층 패턴의 전면에 제1 유전막을 형성하는 단계;
- (e) 상기 제1 유전막 상에 상기 제1 유전막과 유전적 성질이 다른 제2 유전막을 형성하는 단계;
- (f) 상기 제2 유전막이 형성된 결과물을 어닐(anneal)하는 단계; 및
- (g) 상기 제2 유전막 상에 제2 도전층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 9. 제 8 항에 있어서, 상기 (d) 공정과 상기 (e)공정의 순서를 서로 바꿔서 실시하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 10. 제 8 항에 있어서, 상기 제2 유전막 상에 유전적 성질이 서로 다른 제3 및 제4의 유전막을 더 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 11. 제 8 항에 있어서, 상기 제1 유전막은 PFT입 유전막으로 형성하고, 상기 제2 유전막은 FN 타입 유전막으로 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 12. 제 8 항에 있어서, 상기 제1 유전막은 화학 기상증착(CVD)방식으로 형성하고 상기 제 2 유전막은 원자층 적층(Atomic Layer Deposition)방식으로 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

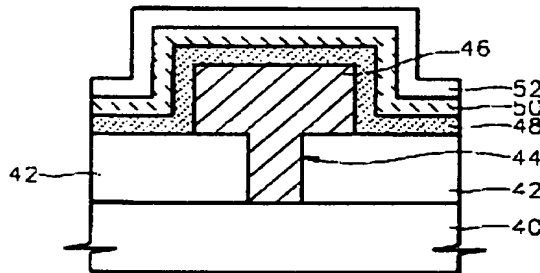
청구항 13. 제 8 항에 있어서, 상기 어닐은 N₂O, O₂, O₃, H₂O, H₂O₂ 및 이들이 혼합된 가스로 이루어진 일군중 선택된 어느 하나의 분위기하에서 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 14. 제 11 항에 있어서, 상기 PFT입 제1 유전막은 SiO₂, Si₃N₄ 및 SiON으로 이루어진 군중 선택된 어느 하나를 포함하는 SiN계열의 유전막인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

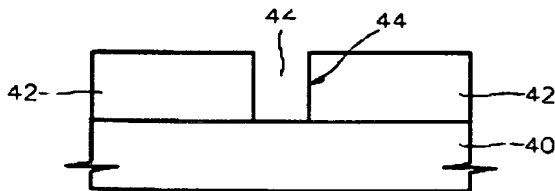
청구항 15. 제 11 항에 있어서, 상기 FNT입 제2 유전막은 Al₂O₃, AlN, TiO₂, ZrO₂, HfO₂, Ta₂O₅, PbO, Nb₂O₅, PbTiO₃, PZT, BST, SrTiO₃, CaO₂, Y₂O₃, MgO 및 SrO로 이루어진 군중 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

도면

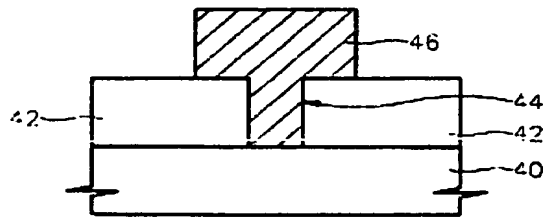
도면1



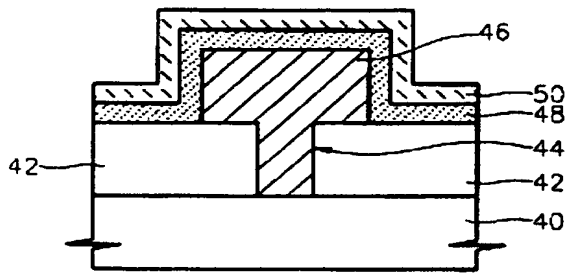
도면2



도 83



도 84



도 85

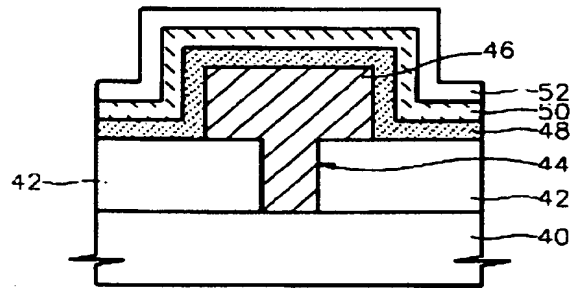


Fig 8

